# 處理器與記憶體實作lab1

11178010 電機碩一 黃柏勳

11178036 電機碩一 陳孟廷

## 算數邏輯單元(ALU)

增加AND、OR、XOR、NOR之運算功能



圖 1. 算數邏輯運算單元verilog code

## 模擬結果

透過Candance 之NC-verilog 進行模擬，可以清楚觀察到模擬結果符合我們修改之ALU的行為，模擬結果正確。

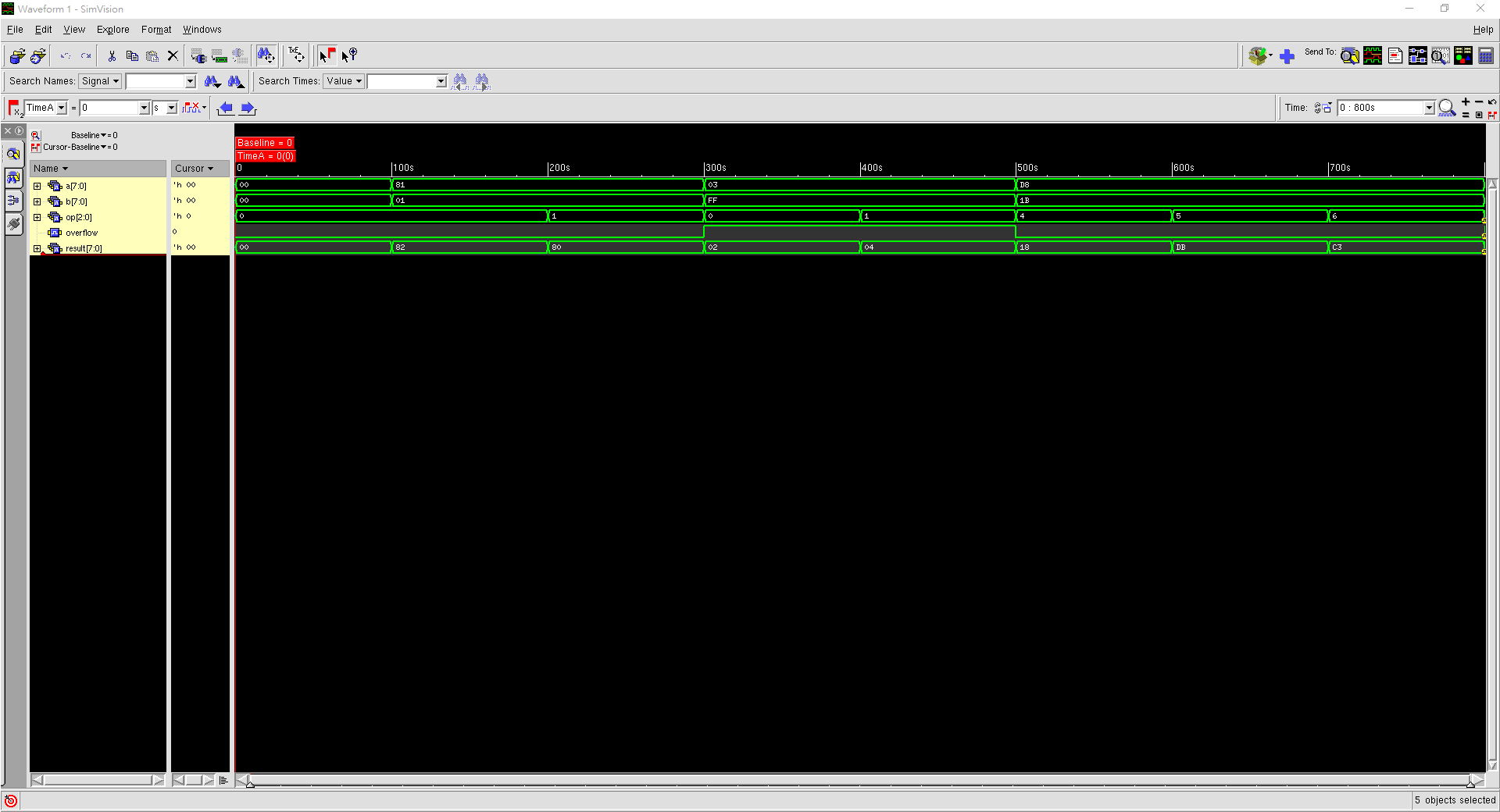


圖 2. 透過Testbench 進行模擬，產生之波形圖

## 心得

這次Lab3的實驗了解ALU以及用Verilog實現其部分功能，再透過Cadance的模擬經由波型來實際了解ALU的行為模式，收穫良多!